

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
17. April 2003 (17.04.2003)

PCT

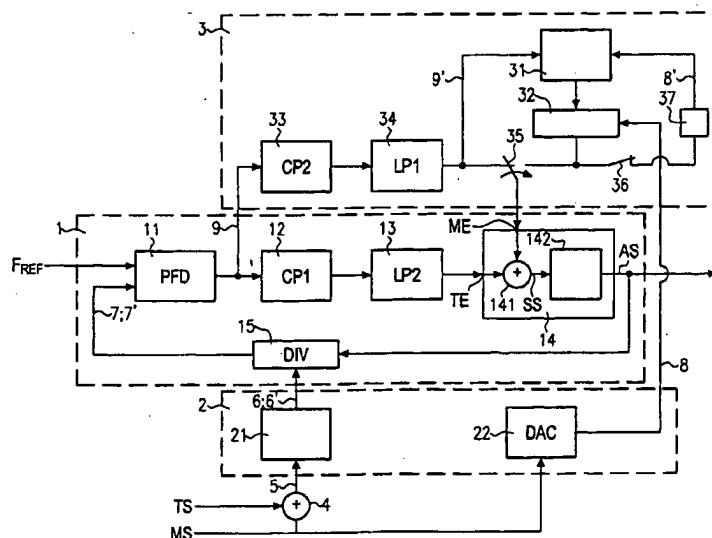
(10) Internationale Veröffentlichungsnummer  
**WO 03/032493 A2**

- (51) Internationale Patentklassifikation<sup>7</sup>: **H03L 7/00** (72) Erfinder; und  
(75) Erfinder/Anmelder (nur für US): GREWING, Chris-  
(21) Internationales Aktenzeichen: PCT/DE02/02709 tian [DE/DE]; Kirchweg 6, 40489 Düsseldorf (DE).  
HAMMES, Markus [DE/DE]; Im Klostergarten 5, 46539  
(22) Internationales Anmeldedatum: Dinslaken (DE). HANKE, André [DE/DE]; Warendorfer  
24. Juli 2002 (24.07.2002) Str. 5, 40468 Düsseldorf (DE). LI PUMA, Giuseppe  
[IT/DE]; Zechenstr. 27, 44791 Bochum (DE).  
(25) Einreichungssprache: Deutsch (74) Anwalt: LANGE, Thomas; Dingolfinger Strasse 6, 81673  
München (DE).  
(26) Veröffentlichungssprache: Deutsch (81) Bestimmungsstaaten (national): CN, JP, US.  
(30) Angaben zur Priorität: (84) Bestimmungsstaaten (regional): europäisches Patent  
101 47 963.8 28. September 2001 (28.09.2001) DE (DE, FI, FR, GB, IT, SE).  
(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von Veröffentlicht:  
US): INFINEON TECHNOLOGIES AG [DE/DE]; St.- ohne internationalen Recherchenbericht und erneut zu  
Martin-Str. 53, 81669 München (DE). veröffentlichen nach Erhalt des Berichts

[Fortsetzung auf der nächsten Seite]

(54) Title: COMPENSATING METHOD FOR A PLL CIRCUIT THAT FUNCTIONS ACCORDING TO THE TWO-POINT PRINCIPLE, AND PLL CIRCUIT PROVIDED WITH A COMPENSATING DEVICE

(54) Bezeichnung: ABGLEICHVERFAHREN FÜR EINE NACH DEM ZWEI-PUNKT-PRINZIP ARBEITENDE PLL-SCHALTUNG UND PLL-SCHALTUNG MIT EINER ABGLEICHVORRICHTUNG



(57) Abstract: A PLL circuit (1) is tuned to a first frequency ( $F_1$ ) by using a first digital modulation signal (6) and is subsequently tuned to a second frequency ( $F_2$ ) by using a second digital modulation signal (6'). A differential signal (9'), which is characteristic of the change in voltage of a control signal (SS) of the VCO (14), said change being effected by the modulation signals, is compared with a comparison signal (8') that is characteristic of the analogous modulation amplitude, and the analogous modulation amplitude is changed in order to eliminate a variation determined during the comparison.

[Fortsetzung auf der nächsten Seite]

WO 03/032493 A2



*Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.*

---

**(57) Zusammenfassung:** Eine PLL-Schaltung (1) wird mit einem ersten digitalen Modulationssignal (6) auf eine erste Frequenz ( $f_1$ ) und anschließend mit einem zweiten digitalen Modulationssignal (6') auf eine zweite Frequenz ( $f_2$ ) eingeregelt. Ein Differenzsignal (9'), welches für die durch die Modulationssignale bewirkte Spannungsänderung eines Steuersignals (SS) des VCO (14) charakteristisch ist, wird mit einem für den analogen Modulationshub charakteristischen Vergleichssignal (8') verglichen und der analoge Modulationshub derart geändert, dass eine beim Vergleich ermittelte Abweichung beseitigt wird.

## Beschreibung

Abgleichverfahren für eine nach dem Zwei-Punkt-Prinzip arbeitende PLL-Schaltung und PLL-Schaltung mit einer Abgleichvorrichtung

Die Erfindung betrifft ein Abgleichverfahren für eine nach dem Zwei-Punkt-Prinzip arbeitende PLL-Schaltung und eine nach dem Prinzip der Zwei-Punkt-Modulation ausgelegte PLL-Schaltung mit einer Abgleichvorrichtung.

Eine aufwandsgünstige Realisierung eines Senderkonzepts für Transceiver in Mobilfunksystemen bieten Sender, welche einen nach dem bekannten Prinzip der Zwei-Punkt-Modulation arbeitenden Modulator aufweisen. Eine PLL (Phase Locked Loop = Nachlaufsynchronisation)-Schaltung wird dabei als Frequenzsynthesizer eingesetzt und zur Phasen- oder Frequenzmodulation eines hochfrequenten Signals verwendet.

Ein Einprägen des Modulationssignals in die PLL-Schaltung erfolgt üblicherweise über einen im Rückkoppelzweig der PLL-Schleife enthaltenen programmierbaren Frequenzteiler. Dabei wird ein digitales Modulationssignal verwendet und zum fortwährenden Umprogrammieren des digitalen Frequenzteilers eingesetzt. Diese Form der Modulation, die auch als Ein-Punkt-Modulation bezeichnet wird, ist beispielsweise aus den Patentschriften US 4,965,531, US 6,008,703 und US 6,044,124 bekannt.

Um ein geringes Rauschen der PLL-Schaltung zu erreichen, wird die Bandbreite der Schaltung deutlich kleiner ausgelegt, als es für die Übertragung der modulierten Daten erforderlich ist. Daher wird zusätzlich zu der rein digitalen Modulation auch eine analoge Modulation zur Kompensation der beschränkten Bandbreite eingesetzt. Das gleichzeitige Einprägen eines

2

digitalen und eines analogen Modulationssignals in eine PLL-Schaltung wird als Zwei-Punkt-Modulation bezeichnet.

Das Einprägen der digitalen und analogen Modulationssignale erfolgt an zwei unterschiedlichen Punkten der PLL-Schaltung. Wesentlich für die Funktionsweise der Zwei-Punkt-Modulation ist, dass neben der zeitlichen Gleichphasigkeit ein hohes Maß an Übereinstimmung der Amplituden der beiden verwendeten Modulationssignale benötigt wird. Aufgrund von Herstellungstoleranzen der Komponenten für die analoge Modulation treten jedoch Schwankungen in der Modulationssteilheit sowie der Amplitudenhöhe der Modulation auf. Aus diesem Grund ist es erforderlich, nach der Herstellung der PLL-Schaltung einen Amplitudenabgleich zwischen dem analogen und dem digitalen Modulationssignal vorzunehmen.

Sollen zudem Temperatureinflüsse berücksichtigt werden, muss ein derartiger Abgleich vor jedem Sendevorgang durchgeführt werden.

20

Ein Zwei-Punkt-Modulator sowie ein Verfahren zur Phasen- und Frequenzmodulation mit einer PLL-Schaltung ist in der deutschen Offenlegungsschrift DE 199 29 167 A1 beschrieben. Die Modulation erfolgt hierbei zum einen an einem Punkt der PLL-Schaltung, an dem sich ein Hochpass-Übertragungsverhalten für die Modulationsfrequenz ergibt. Zusätzlich erfolgt die Modulation an einem zweiten Punkt der PLL-Schaltung, an dem sich ein Tiefpass-Übertragungsverhalten für die Modulationsfrequenz ergibt. Die Modulation mit Tiefpass-Übertragungsverhalten erfolgt digital in einem Frequenzteiler im Rückführungszweig der PLL-Schaltung.

Ein bekanntes Verfahren zum Abgleichen einer PLL-Schaltung mit Zwei-Punkt-Modulation besteht darin, die Zwei-Punkt-Modulation der Schaltung im eingeschwungenen Zustand aufzu-

prägen und mit einem externen Mess-Empfänger das ausgesendete Signal zu empfangen und zu demodulieren. Abhängig von dem erhaltenen Demodulationsergebnis wird ein Abgleich der digitalen und analogen Modulationssignale vorgenommen. Aufgrund des nicht-linearen Verhaltens des schwingungserzeugenden Glieds - eines spannungsgesteuerten Oszillators VCO (Voltage Controlled Oscillator) - der PLL-Schaltung hinsichtlich der Frequenz als Funktion der Steuerspannung, muss dieser Abgleich jedoch für jeden Kanal vorgenommen werden. Für eine größere Anzahl an Kanälen resultiert daraus eine entsprechend lange Messdauer. Zusätzlich müssen die Abgleichinformationen in einem Speicher abgelegt werden. Ein weiterer Nachteil ist darin zu sehen, dass der Einfluss von Temperaturänderungen bei diesem Verfahren nicht berücksichtigt wird.

Das Empfangen sowie das Demodulieren des von der PLL-Schaltung erzeugten Signals kann auch durch das Empfangsteil des Transceivers vorgenommen werden. Dadurch erhöht sich allerdings der Schaltungsaufwand in nachteiliger Weise, da hierfür eine vollständige zweite PLL-Schaltung im Empfänger erforderlich wäre.

Aufgabe der Erfindung ist es, ein Abgleichverfahren für eine PLL-Schaltung zu schaffen, mit dem ein schneller und genauer Amplitudenabgleich zwischen dem digitalen und dem analogen Modulationssignal erreicht werden kann. Ferner zielt die Erfindung darauf ab, eine PLL-Schaltung mit einer Abgleichvorrichtung zu schaffen, bei der ein schneller und genauer Amplitudenabgleich der Modulationssignale mit einem relativ einfachen Schaltungsaufbau erreicht werden kann.

Diese Aufgabenstellung wird durch ein Abgleichverfahren, das die Schritte nach Patentanspruch 1 aufweist, und durch eine PLL-Schaltung mit einer Abgleichvorrichtung, die die Merkmale nach Patentanspruch 9 aufweist, gelöst.

Bei einem Abgleichverfahren für eine nach dem Prinzip der Zwei-Punkt-Modulation arbeitende PLL-Schaltung wird die PLL-Schaltung durch Einprägen eines ersten digitalen Modulations-  
5 signals auf eine erste Frequenz eingeregelt. Anschließend wird ein zweites digitales Modulationssignal in die PLL-Schaltung eingeprägt, wobei die PLL-Schaltung auf eine von der ersten Frequenz abweichende zweite Frequenz einregelt. Ein Differenzsignal, welches charakteristisch für die durch  
10 die beiden digitalen Modulationssignale bewirkte Änderung eines Steuersignals einer frequenzerzeugenden Einheit der PLL-Schaltung ist, wird erzeugt und aus der PLL-Schaltung ausgekoppelt. Das Differenzsignal wird mit einem Vergleichssignal, welches charakteristisch für einen Modulationshub eines ana-  
15 logen Modulationssignals ist, verglichen und abhängig von der bei dem Vergleich ermittelten Abweichung wird der Modulationshub derart geändert, dass die Abweichung beseitigt wird.

Dadurch kann bei dem erfindungsgemäßen Abgleichverfahren er-  
20 reicht werden, dass das Demodulieren des von der PLL-Schaltung erzeugten Ausgangssignals zu Abgleichzwecken entfällt, da zum Abgleichen auf eine Abweichung zwischen zwei digitalen Modulationssignalen zurückgegriffen wird, die in einem für die Abweichung charakteristischen Differenzsignal  
25 dargestellt wird. Des Weiteren kann dadurch erreicht werden, dass ein relativ genaues und schnelles Abgleichen durchgeführt werden kann.

Ein vorteilhaftes Ausführungsbeispiel des erfindungsgemäßen  
30 Abgleichverfahrens kennzeichnet sich dadurch, dass das erste digitale Modulationssignal so eingeprägt wird, dass die PLL-Schaltung auf eine erste Frequenz eingeregelt wird, die durch das Subtrahieren einer Frequenz eines variabel wählbaren, digitalen Modulationshubs von einer Kanalmittenfrequenz gebil-  
35 det wird. Sofern dann durch das Einprägen des zweiten digita-

5

len Modulationssignals die PLL-Schaltung auf eine zweite Frequenz eingeregelt wird, die durch das Addieren der Frequenz des variabel wählbaren, digitalen Modulationshubs und der Kanalmittefrequenz gebildet wird, kennzeichnet sich eine bevorzugte Ausführungsvariante dadurch, dass ein dem analogen Modulationssignal entsprechender Spannungswert zum Vergleichen mit dem dem Differenzsignal entsprechenden Spannungswert mit dem Faktor 2 multipliziert wird. Dadurch kann erreicht werden, dass ein dem Differenzsignal entsprechender analoger Spannungswert relativ groß ausgebildet werden kann und dadurch Abweichungen zwischen der digitalen Modulation und der analogen Modulation relativ genau ausgeglichen werden können.

Gemäß einer bevorzugten Auslegung ist einem Hauptpfad der PLL-Schaltung ein zur Steuersignalerzeugung beitragender Abgleichpfad parallel geschaltet. In diesem Fall kennzeichnet sich eine vorteilhafte Verfahrensvariante dadurch, dass der Abgleichpfad zumindest während des Einprägens des zweiten digitalen Modulationssignals aktiviert ist.

Ferner kann in vorteilhafter Weise vorgesehen sein, dass der Hauptpfad der PLL-Schaltung nach dem Einprägen des ersten digitalen Modulationssignals deaktiviert wird, indem ein von einer ersten Ladungspumpe im Hauptpfad erzeugter Strom auf den Wert Null gesetzt wird. Dadurch wird erreicht, dass eine dem ersten digitalen Modulationssignal entsprechende Spannung an einem Tuning-Eingang eines VCO während der folgenden Schritte (zweiter Einprägeschritt und ggf. Abgleichschritt) im wesentlichen konstant bleibt.

Das Aufrechterhalten der beim ersten Einprägeschritt an dem Tuning-Eingang des VCO erzeugten Spannung kann im allgemeinen jedoch auch auf andere Weise realisiert werden. Ein weiteres vorteilhaftes Ausführungsbeispiel kennzeichnet sich dadurch, dass der Hauptpfad der PLL-Schaltung nach dem Einprägen des

- ersten digitalen Modulationssignals aktiv gehalten wird und ein Strom durch die Ladungspumpe im Hauptpfad der PLL-Schaltung derart eingestellt wird, dass die Spannung am Tuning-Eingang des VCO im wesentlichen konstant gehalten wird. Dadurch kann erreicht werden, dass ein Ändern der (während des ersten Einprägeschrittes erzeugten) Spannung am Tuning-Eingang des VCO aufgrund von Leckströmen im Hauptpfad während des Abgleichens verhindert wird.
- 10 Ein weiterer Aspekt der Erfindung betrifft eine PLL-Schaltung, die für das Einprägen eines analogen und eines digitalen Modulationssignals nach dem Prinzip der Zwei-Punkt-Modulation ausgebildet ist. Einem Hauptpfad der PLL-Schaltung ist ein Abgleichpfad parallel geschaltet, der ein Auskoppel-
- 15 mittel zur Erzeugung eines Differenzsignals umfasst, welches für die Änderung eines Steuersignals einer frequenzerzeugenden Einheit bei Einprägen unterschiedlicher digitaler Modulationssignale in die PLL-Schaltung charakteristisch ist. Weiterhin umfasst der Abgleichpfad eine Vergleichseinheit zum
- 20 Vergleichen des Differenzsignals mit einem Vergleichssignal, welches charakteristisch für einen Modulationshub eines analogen Modulationssignals ist, und eine Modulationseinheit, die den Modulationshub in Abhängigkeit von einem Ausgangssignal der Vergleichseinheit verändert.
- 25
- Durch die erfindungsgemäße PLL-Schaltung mit dem Hauptpfad und dem parallel geschalteten Abgleichpfad ist ein relativ einfacher und aufwandsarmer Schaltungsaufbau realisiert, mit dem ein schneller und genauer Abgleich des digitalen und des
- 30 analogen Modulationssignals durchgeführt werden kann.
- Bei einem vorteilhaften Ausführungsbeispiel kann vorgesehen sein, dass über einen ersten Schalter das Differenzsignal an einen Modulationseingang eines VCO der PLL-Schaltung anlegbar
- 35 ist. Weiterhin kann vorgesehen sein, dass der Abgleichpfad



7

einen zweiten Schalter aufweist, in dessen geschlossener Stellung das Vergleichssignal an einem Eingang der Vergleichseinheit anliegt.

- 5 Weitere vorteilhafte Ausgestaltungen des Abgleichverfahrens und der PLL-Schaltung sind in den Unteransprüchen angegeben.

Die Erfindung wird nachfolgend anhand eines Ausführungsbeispiels unter Bezugnahme auf die Zeichnung näher erläutert. Es  
10 zeigen:

Fig. 1 ein Blockschaltbild einer erfindungsgemäßen PLL-Schaltung mit einer Abgleichvorrichtung, und

- 15 Fig. 2 ein schematisches Ablaufdiagramm des erfindungsgemäßen Abgleichverfahrens.

Eine nach dem Prinzip der Zwei-Punkt-Modulation arbeitende PLL-Schaltung 1 (Fig. 1) ist mit einer Modulationsvorrichtung  
20 2 und einem Abgleichpfad 3 elektrisch verbunden. Die PLL-Schaltung 1 weist in ihrem Hauptpfad einen Phasendetektor (PFD = Phase Frequency Detector) 11, eine erste Ladungspumpe (CP1 = Charge Pump 1) 12, ein erstes Schleifenfilter (LP1 = Loop Filter 1) 13 und einen spannungsgesteuerten Oszillator  
25 (VCO = Voltage Controlled Oscillator) 14 auf. Das Schleifenfilter 13 ist als Tiefpassfilter ausgeführt, wodurch höherfrequente Signalanteile geglättet werden. Der VCO 14 stellt das schwingungserzeugende Bauelement in der PLL-Schaltung 1 dar und weist einen Summationspunkt 141 und eine frequenz-  
30 erzeugende Einheit 142 auf. Über einen Rückkoppelpfad, welcher sich vom Ausgang des VCO 14 zu einem Eingang des PFD 11 erstreckt und in dem ein programmierbarer Frequenzteiler (DIV = Divider) 15 angeordnet ist, wird die PLL-Schaltung 1 geschlossen. Der DIV 15 kann beispielsweise als Fraktional-N

8

Frequenzteiler ausgeführt sein, wodurch auch eine Frequenzteilung durch eine nicht ganze Zahl ermöglicht wird.

Zur Aufbereitung eines Modulationssignals MS weist die Modulationsvorrichtung 2 eine Programmiereinheit 21 und einen Digital-Analog-Wandler (DAC = Digital Analog Converter) 22 auf.

Parallel zum Hauptpfad der PLL-Schaltung 1 ist der Abgleichpfad 3 geschaltet. Der Abgleichpfad 3 weist eine zweite Ladungspumpe (CP2) 33 und ein der Ladungspumpe 33 nachgeschaltetes zweites Schleifenfilter (LP2) 34 auf. Weiterhin ist eine Vergleichseinheit 31 und eine analoge Modulationseinheit 32 im Abgleichpfad 3 angeordnet. Abhängig vom durchgeführten Abgleichvorgang wird die Vergleichseinheit 31 und die analoge Modulationseinheit 32 über einen ersten Schalter 35 mit einem Modulationseingang ME des VCO 14 der PLL-Schaltung 1 elektrisch verbunden. Über einen zweiten Schalter 36 ist der Ausgang der analogen Modulationseinheit 32 mit einem zweiten Eingang der Vergleichseinheit 31 rückkoppelbar. Dieser Signalweg zwischen der Modulationseinheit 32 und der Vergleichseinheit 31 weist des Weiteren einen Multiplizierer 37 auf.

Bei der Zwei-Punkt-Modulation wird der PLL-Schaltung 1 über die Modulationsvorrichtung 2 ein analoges und ein digitales Modulationssignal eingeprägt. Da das analoge Modulationssignal im Gegensatz zum digitalen Modulationssignal, welches aufgrund seiner diskreten Natur keine Toleranzen aufweist, drift- und toleranzbehaftet ist, ist es erforderlich, die beiden Modulationssignale hinsichtlich ihrer Amplituden abzugleichen.

Ein Modulationssignal MS, welches im Ausführungsbeispiel als digitales Signal ausgeführt ist, wird an einem Summationspunkt 4 auf ein der PLL-Frequenzsynthese zugrunde liegendes

Trägersignal TS addiert. Das resultierende Signal 5 liegt an einem Eingang der Programmiereinheit 21 an.

Die Programmiereinheit 21, die im Ausführungsbeispiel als  
5 Sigma-Delta Modulator ausgeführt ist, erzeugt an ihrem Ausgang ein erstes digitales Modulationssignal 6, welches an einen zweiten Eingang des DIV 15 anliegt. Das digitale Modulationssignal 6 gibt dabei ein Teilerverhältnis  $1:N_1$  an, wobei  $N_1$  eine ganze Zahl darstellt. Dadurch wird das Modulations-  
10 signal MS mit einem durch die Modulation bestimmten (variablen) Frequenzteilungsverhältnis über den DIV 15 in den Rückkoppelzweig eingeprägt. Am Ausgang des DIV 15 wird ein erstes Frequenzteilungssignal 7 erzeugt, welches am ersten Eingang des PFD 11 anliegt.

15 An einem zweiten Eingang des PFD 11 liegt ein Referenzsignal mit einer entsprechenden Referenzfrequenz  $F_{REF}$  an. Die Referenzfrequenz  $F_{REF}$  kann beispielsweise durch einen nicht dargestellten Schwingquarz erzeugt werden. Dadurch wird am Ausgang  
20 des PFD 11 ein Signal erzeugt, das die Frequenz- und/oder Phasendifferenz zwischen dem Referenzsignal und dem ersten Frequenzteilungssignal 7 charakterisiert. Dieses Ausgangssignal 9 des PFD 11 wird zur Ansteuerung der Ladungspumpe 12 verwendet. In der Ladungspumpe 12 wird ein Strom erzeugt, der  
25 abhängig von dem Signal 9 ist, mit dem die Ladungspumpe 12 angesteuert wird. Mit dem in der Ladungspumpe 12 erzeugten Strom wird das Schleifenfilter 13 aufgeladen. Das Ausgangssignal des Schleifenfilters 13 ist ein Spannungssignal und liegt an dem Tuning-Eingang TE des VCO 14 an.

30 Am Ausgang des VCO 14 wird ein Ausgangssignal AS erzeugt, das am ersten Eingang des DIV 15 anliegt und welches durch das erste digitale Modulationssignal 6 moduliert ist.

10

Das Abgleichverfahren wird nachfolgend anhand der PLL-Schaltung gemäß Figur 1 erläutert:

In einem ersten Schritt wird das erste digitale Modulations-  
5 signal 6 mit einem ersten konstanten Teilerverhältnis  $1:N_1$  eingegeben. Das Teilerverhältnis  $1:N_1$  ist derart, dass die PLL-Schaltung 1 auf eine erste Frequenz  $F_1$  einregelt, die einer Kanalmittenfrequenz  $f$  abzüglich einem digitalen Modulationshub  $\Delta f_{Dig}$  entspricht.

10

Indem die PLL-Schaltung 1 auf die Frequenz  $F_1 = f - \Delta f_{Dig}$  eingeregelt wird, stellt sich am Tuning-Eingang TE des VCO 14 ein Spannungswert  $V_1$  ein, der dieser Frequenz  $F_1$  entspricht, z.B. im Falle einer linearen Frequenz-Spannungs-Kennlinie des  
15 VCO 14 zu dieser Frequenz  $F_1$  proportional ist.

Während dieses Einregelns der PLL-Schaltung 1 auf die Frequenz  $F_1$  ist der Abgleichpfad 3 deaktiviert, wobei das zweite Schleifenfilter (LP2) 34 auf den festen Spannungswert Null  
20 vorgeladen ist. Die Schalter 35 und 36 sind in den in Figur 1 dargestellten Positionen, die bei beiden Schaltern 35 und 36 als geschlossen bezeichnet werden.

Nachdem das Einregeln der PLL-Schaltung 1 auf die Frequenz  $F_1$  abgeschlossen ist, wird in einem zweiten Schritt der Hauptpfad der PLL-Schaltung 1 deaktiviert, indem der Strom von der Ladungspumpe 12 auf den festen Wert Null eingestellt und die Regelschleife damit geöffnet wird. Dabei wird durch das integrierende Verhalten des Schleifenfilters 13 gewährleistet,  
25 dass die Spannung  $V_1$  am Tuning-Eingang TE des VCO 14 bzw. an einem Summationspunkt 141 praktisch unverändert bleibt. Dies gilt zumindest für die Dauer des nachfolgenden Abgleichvorgangs. Ferner wird nun der Abgleichpfad 3, das heißt die zweite Ladungspumpe 33 und das zweite Schleifenfilter 34, aktiviert und dadurch die Regelschleife über den Abgleichpfad 3  
35

11

geschlossen. Die Schalterstellung der beiden Schalter 35 und 36 bleibt dabei unverändert.

Anschließend wird die Programmiereinheit 21 umprogrammiert,  
5 so dass am Ausgang der Programmiereinheit 21 ein zweites digitales Modulationssignal 6' erzeugt wird, welches ein zweites konstantes Teilerverhältnis  $1:N_2$  angibt.

Das zweite Teilerverhältnis  $1:N_2$  wird derart eingestellt,  
10 dass das Ausgangssignal AS am VCO 14 eine zweite Frequenz  $F_2 = f + \Delta f_{\text{Dig}}$  aufweist. Die PLL-Schaltung wird somit auf die zweite Frequenz  $F_2$  eingeregelt. Da am Tuning-Eingang TE weiterhin der Spannungswert  $V_1$  anliegt, stellt sich am Modulationsseingang ME des VCO 14 ein Spannungswert  $V_2$  ein, der dem  
15 doppelten digitalen Modulationshub  $2\Delta f_{\text{Dig}}$  entspricht.

Dieser Spannungswert  $V_2$  resultiert daraus, dass die Ausgangsfrequenz am VCO 14 der zweiten Frequenz  $F_2$  entspricht, auf die die PLL-Schaltung 1 eingeregelt wird. An der frequenzerzeugenden Einheit 142 liegt daher ein Steuersignal SS an,  
20 dessen Spannung  $V_3$  diese Frequenz  $F_2$  erzeugt. Aufgrund der Summationsbedingung am Summationspunkt 141 sowie der festen Spannung  $V_1$  am Tuning-Eingang TE, ergibt sich daher am Modulationseingang ME ein Spannungswert  $V_2(2\Delta f_{\text{Dig}}) = V_3(f + \Delta f_{\text{Dig}})$   
25  $- V_1(f - \Delta f_{\text{Dig}})$ .

Zum Vergleichen des Differenzsignals 9' am Ausgang des zweiten Tiefpassfilters 34 mit einem analogen Modulationssignal wird in einem dritten Schritt das Modulationssignal MS durch  
30 den DAC 22 in ein analoges Modulationssignal 8 gewandelt und liegt an einem zweiten Eingang der analogen Modulationseinheit 32 an. Das analoge Modulationssignal 8 bewirkt eine Frequenz  $F_3 = f + \Delta f_{\text{Ana}}$  am Ausgang des VCO. Der dieser Frequenz  $F_3$  entsprechende Spannungswert am Modulationseingang ME muss  
35 im abgeglichenen Zustand halb so groß wie der Spannungswert

12

$V_2$  sein. Zum Vergleichen mit dem Spannungswert  $V_2$  wird dieser Spannungswert am Ausgang der Modulationseinheit 32 abgegriffen und nach einer Verdoppelung in dem Multiplizierer 37 als Vergleichssignal 8' an einen zweiten Eingang der Vergleichseinheit 31 angelegt.

Der Spannungswert  $V_2$  des Differenzsignals 9' liegt gleichzeitig an einem ersten Eingang der Vergleichseinheit 31 an, die im Ausführungsbeispiel als Komparator ausgeführt ist. Die Schalterpositionen sind weiterhin unverändert, das heißt die Vergleichseinheit 31 und die analoge Modulationseinheit 32 sind durch die Schalterstellung des ersten Schalters 35 vom Modulationseingang ME des VCO 14 entkoppelt.

Eine in der Vergleichseinheit 31 ermittelte Abweichung zwischen dem Spannungswert  $V_2$  des Differenzsignals 9' und dem entsprechenden Spannungswert des Vergleichssignals 8' wird beseitigt, indem der Modulationshub des am Ausgang der analogen Modulationseinheit 32 bereitgestellten analogen Modulationssignals verändert wird.

Alternativ kann die dem Differenzsignal 9' entsprechende Spannung  $V_2$  am Eingang der Vergleichseinheit 31, beispielsweise durch einen Kondensator, gespeichert werden und anschließend mit dem Spannungswert des Vergleichssignals 8' verglichen werden.

Nachdem der Abgleichvorgang abgeschlossen ist, wird der Schalter 35 umgeschaltet, der Schalter 36 geöffnet und die Ladungspumpe 33 und das Schleifenfilter 34 deaktiviert. Der Hauptpfad der PLL-Schaltung 1 wird aktiviert.

Die PLL-Schaltung 1 für die Zwei-Punkt-Modulation ist nun abgeglichen und kann ihren Betrieb aufnehmen. Das digitale und das analoge Modulationssignal überlagern sich dabei und es

13

ergibt sich infolge des beschriebenen Abgleichvorgangs ein frequenzunabhängiges Übertragungsverhalten der PLL-Schaltung 1.

- 5 Das Erzeugen des Vergleichssignals 8' kann auch in der Vergleichseinheit 31 oder in der analogen Modulationseinheit 32 durchgeführt werden.

Wird als Modulationssignal MS ein analoges Signal verwendet,  
10 kann die Modulationsvorrichtung 2 beispielsweise auch derart ausgeführt sein, dass der DAC 22 nicht benötigt wird aber dafür eine entsprechende Signalwandlung im digitalen Modulationspfad durchgeführt wird.

- 15 Das Abgleichen der an die Vergleichseinheit 31 angelegten Signale kann beispielsweise in einem iterativen Prozess erfolgen. In diesem Fall erfolgt ein approximativer Abgleich der Modulationsamplituden mit wechselweiser Aktualisierung des Vergleichssignals 8' und Bewertung des daraufhin erhaltenen,  
20 geänderten Ausgangssignals der Vergleichseinheit 31. Bei erfolgter Beseitigung der Spannungsdifferenz an der Vergleichseinheit 31 ist der Abgleich zwischen digitalem und analogem Modulationshub erreicht.

- 25 Es kann auch vorgesehen sein, dass während des Abgleichens der Hauptpfad der PLL-Schaltung 1 aktiv gehalten wird, indem die erste Ladungspumpe 12 mit einem kleinen Strom betrieben wird. Aufgrund des reduzierten Stroms der ersten Ladungspumpe 12 kann der Hauptpfad der PLL-Schaltung 1 der Modulation .  
30 nicht folgen und die Spannung am Tuning-Eingang TE des VCO 14 bleibt konstant. Dadurch kann erreicht werden, dass ein Spannungsverlust am Tuning-Eingang TE des VCO 14 bedingt durch Leckströme, die bei einem deaktivierten Hauptpfad auftreten können, kompensiert werden.

14

In Fig. 2 ist ein schematisches Ablaufdiagramm des Abgleichverfahrens aufgezeigt. In dem ersten Verfahrensschritt S1 wird die PLL-Schaltung 1 (Fig. 1) 1 auf eine Frequenz  $F_1 = f - \Delta f_{\text{Dig}}$  eingeregelt, indem das erste digitale Modulationssignal 6 in den Hauptpfad der PLL-Schaltung 1 eingeprägt wird. Im nachfolgenden zweiten Verfahrensschritt S2 wird das zweite digitale Modulationssignal 6' in die PLL-Schaltung 1 eingeprägt und die PLL-Schaltung auf die Frequenz  $F_2 = f + \Delta f_{\text{Dig}}$  eingeregelt. Ein Ausgangssignal 9 wird aus der PLL-Schaltung 1 ausgekoppelt und ein Differenzsignal 9' erzeugt, welches charakteristisch für die durch die beiden digitalen Modulationssignale 6 und 6' bewirkte Spannungsänderung eines Steuersignals SS am Eingang der frequenzerzeugenden Einheit 142 ist. Das Differenzsignal 9' wird mit dem dem analogen Modulationssignal 8 proportionalen Vergleichssignal 8' gemäß Verfahrensschritt S3 verglichen. Die bei dem Vergleichen ermittelte Abweichung zwischen dem Differenzsignal 9' und dem Vergleichssignal 8' wird beseitigt, indem der analoge Modulationshub entsprechend dem Verfahrensschritt S4 verändert wird.



## Patentansprüche

1. Abgleichverfahren für eine nach dem Prinzip der Zwei-Punkt-Modulation arbeitende PLL-Schaltung (1), mit den folgenden Schritten:

- 5 (a) Einprägen eines ersten digitalen Modulationssignals (6) in die PLL-Schaltung (1), wobei diese auf eine erste Frequenz ( $F_1$ ) einregelt,
- 10 (b) Einprägen eines zweiten digitalen Modulationssignals (6') in die PLL-Schaltung (1), wobei diese auf eine zweite Frequenz ( $F_2$ ) einregelt, welche unterschiedlich zu der ersten Frequenz ( $F_1$ ) ist,
- 15 (c) Auskoppeln eines Differenzsignals (9'), welches charakteristisch für die durch die beiden Modulationssignale (6, 6') bewirkte Änderung eines Steuersignals (SS) einer frequenzerzeugenden Einheit (142) der PLL-Schaltung (1) ist,
- (d) Vergleichen des Differenzsignals (9') mit einem Vergleichssignal (8'), welches charakteristisch für einen Modulationshub ( $\Delta f_{\text{Ana}}$ ) eines analogen Modulationssignals
- 20 ist, und
- (e) Ändern des Modulationshubs ( $\Delta f_{\text{Ana}}$ ) derart, dass eine bei dem Vergleich ermittelte Abweichung zwischen dem Differenzsignal (9') und dem Vergleichssignal (8') beseitigt wird.

25

2. Verfahren nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t,

- dass durch das Einprägen des ersten digitalen Modulationssignals (6) die PLL-Schaltung (1) auf eine erste Frequenz
- 30 ( $F_1$ ) eingeregelt wird, die durch das Subtrahieren einer Frequenz eines variabel wählbaren, digitalen Modulationshubs ( $\Delta f_{\text{Dig}}$ ) von einer Kanalmittenfrequenz ( $f$ ) gebildet wird.

3. Verfahren nach einem der Ansprüche 1 oder 2,

16

d a d u r c h g e k e n n z e i c h n e t,  
dass durch das Einprägen des zweiten digitalen Modulations-  
signals (6') die PLL-Schaltung (1) auf eine zweite Frequenz  
( $F_2$ ) eingeregelt wird, die durch das Addieren der Frequenz  
5 des variabel wählbaren, digitalen Modulationshubs ( $\Delta f_{\text{Dig}}$ )  
und der Kanalmittenfrequenz ( $f$ ) gebildet wird.

4. Verfahren nach einem der vorhergehenden Ansprüche,  
d a d u r c h g e k e n n z e i c h n e t,  
10 dass ein dem analogen Modulationshub entsprechender Span-  
nungswert ( $V_2$ ) zum Vergleichen mit dem dem Differenzsignal  
(9') entsprechenden Spannungswert mit dem Faktor 2 multipli-  
ziert wird.

15 5. Verfahren nach einem der vorhergehenden Ansprüche,  
d a d u r c h g e k e n n z e i c h n e t,  
dass einem Hauptpfad der PLL-Schaltung (1) ein zur Steuersi-  
gnalerzeugung beitragender Abgleichpfad (3) parallel geschal-  
tet ist, mit dem Schritt:  
20 - Aktivieren des Abgleichpfads (3) zumindest während des Ein-  
prägens des zweiten digitalen Modulationssignals (6').

6. Verfahren nach Anspruch 5,  
g e k e n n z e i c h n e t durch den Schritt:  
25 - Deaktivieren des Hauptpfades der PLL-Schaltung (1) nach dem  
Einprägen des ersten digitalen Modulationssignals (6), in-  
dem ein von einer ersten Ladungspumpe (12) im Hauptpfad er-  
zeugter Strom auf den Wert Null gesetzt wird.

30 7. Verfahren nach dem Anspruch 5,  
d a d u r c h g e k e n n z e i c h n e t,  
dass der Hauptpfad der PLL-Schaltung (1) während des Abglei-  
chens aktiv gehalten wird und ein Strom durch eine Ladungs-  
pumpe (12) im Hauptpfad der PLL-Schaltung (1) derart einge-  
35 stellt wird, dass die Spannung ( $V_1$ ) an einem Tuning-Eingang

17

(TE) eines VCO (14) der PLL-Schaltung (1) im wesentlichen konstant gehalten wird.

8. Verfahren nach einem der vorhergehenden Ansprüche,  
5    d a d u r c h    g e k e n n z e i c h n e t,  
dass das erste und das zweite digitale Modulationssignal (6, 6') über einen im Rückführungsweig der PLL-Schaltung (1) angeordneten Frequenzteiler DIV (15) eingeprägt werden.
- 10    9. PLL-Schaltung, die für das Einprägen eines analogen und eines digitalen Modulationssignals nach dem Prinzip der Zweipunkt-Modulation ausgelegt ist,  
d a d u r c h    g e k e n n z e i c h n e t,  
dass einem Hauptpfad der PLL-Schaltung ein Abgleichpfad (3)  
15    parallel geschaltet ist, der
- ein Auskoppelmittel (33, 34) zur Erzeugung eines Differenzsignals (9') umfasst, welches für die Änderung eines Steuersignals (SS) einer frequenzerzeugenden Einheit (142) der PLL-Schaltung (1) bei Einprägen unterschiedlicher digitaler  
20    Modulationssignale (6, 6') in die PLL-Schaltung (1) charakteristisch ist,
  - eine Vergleichseinheit (31) zum Vergleichen des Differenzsignals (9') mit einem Vergleichssignal (8') umfasst, welches charakteristisch für einen Modulationshub ( $\Delta f_{\text{Ana}}$ ) eines analogen Modulationssignals (8) ist, und  
25
  - eine Modulationseinheit (32) umfasst, die den Modulationshub ( $\Delta f_{\text{Ana}}$ ) des analogen Modulationssignals (8) in Abhängigkeit von einem Ausgangssignal der Vergleichseinheit (31) verändert.
- 30
10. PLL-Schaltung nach Anspruch 9,  
d a d u r c h    g e k e n n z e i c h n e t,  
dass das Auskoppelmittel (33, 34) eine Ladungspumpe (33) und ein der Ladungspumpe (33) nachgeschaltetes Schleifenfilter  
35    (34) umfasst.

11. PLL-Schaltung nach einem der Ansprüche 9 oder 10, ,  
g e k e n n z e i c h n e t d u r c h  
einen ersten Schalter (35), über welchen das Differenzsignal  
5 (9') an einen Modulationseingang (ME) eines VCO (14) der PLL-  
Schaltung (1) anlegbar ist.

12. PLL-Schaltung nach einem der Ansprüche 9 bis 11,  
g e k e n n z e i c h n e t d u r c h  
10 einen zweiten Schalter (36), in dessen geschlossener Stellung  
das Vergleichssignal (8') an einem Eingang der Vergleichsein-  
heit (31) anliegt.

1/2

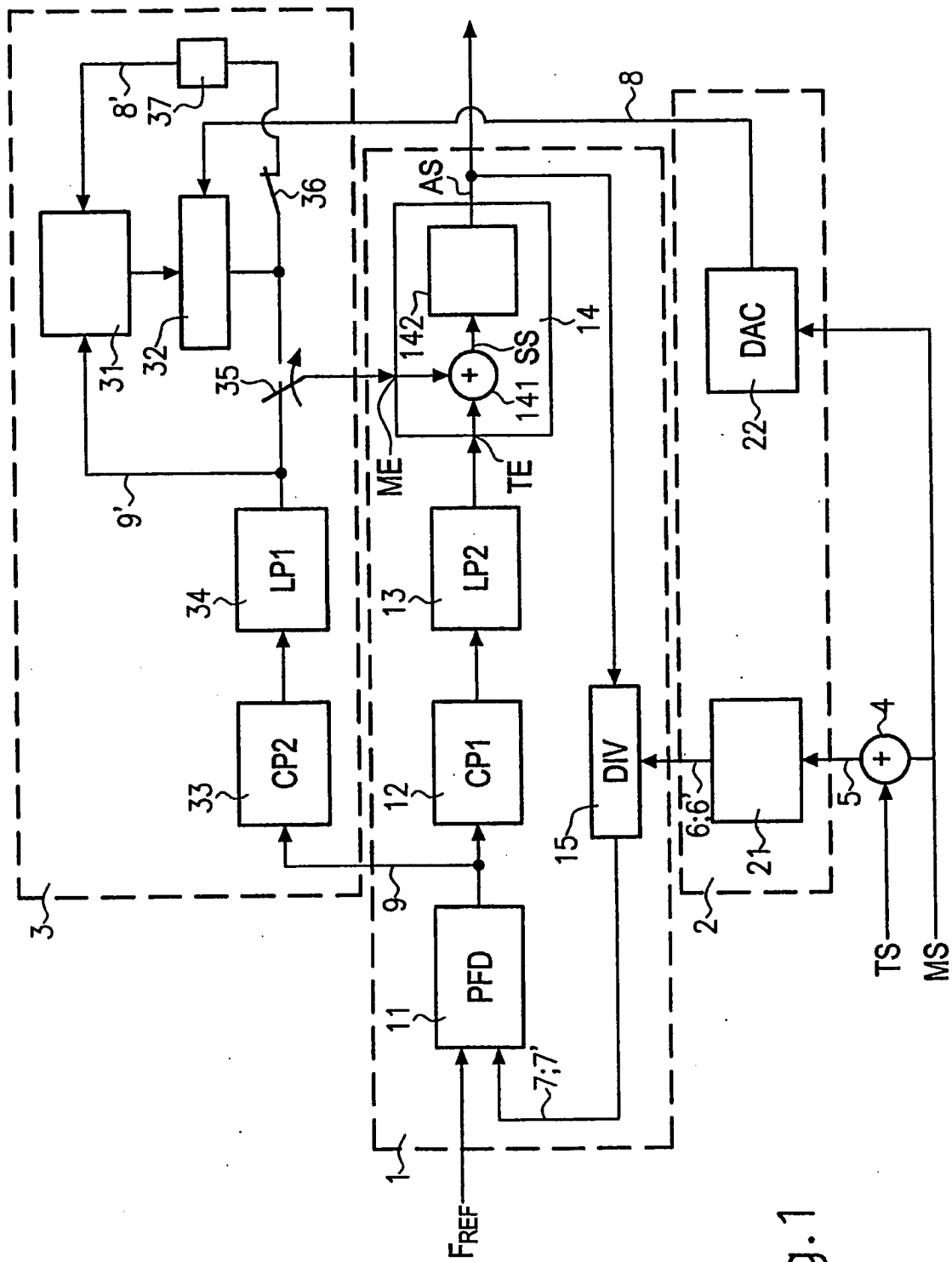


Fig. 1

2/2

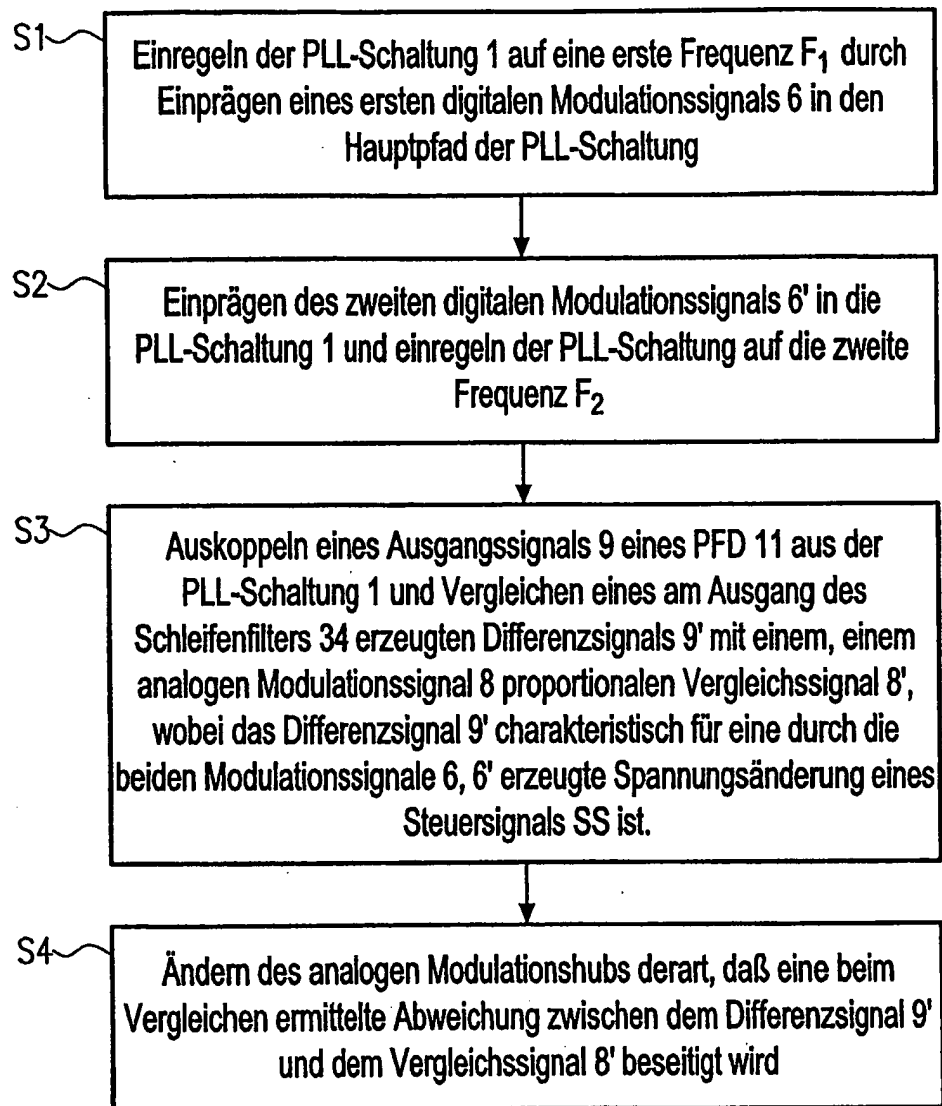


Fig.2

PAT-NO: JP404358415A  
DOCUMENT-IDENTIFIER: JP 04358415 A  
TITLE: SYNTHESIZED SIGNAL GENERATOR

PUBN-DATE: December 11, 1992

INVENTOR-INFORMATION:

NAME COUNTRY

IMAI, JUN

MURAKAMI, TOMOYOSHI

ASSIGNEE-INFORMATION:

NAME COUNTRY

MATSUSHITA ELECTRIC IND CO LTD N/A

APPL-NO: JP03134390

APPL-DATE: June 5, 1991

INT-CL (IPC): H03L007/187 , H03L007/18

US-CL-CURRENT: 331/25

ABSTRACT:

PURPOSE: To obtain the output signal of a wide band while securing the satisfactory phase noise characteristic by controlling a narrow band voltage control oscillator and three dividers, to reduce the circuit scale by omitting plural voltage control oscillators, and to reduce the deterioration of the signal.

CONSTITUTION: The output signal of a reference signal oscillator 1 is divided into  $1/N_1$  pieces by a 1st frequency divider 2, and the output signal of a voltage control oscillator 5 is divided into  $1/N_2$  pieces by a 2nd frequency divider 6 respectively. Then the output signals of both frequency dividers 2 and 6 are compared with each other by a phase comparator 3, and the obtained phase signal is integrated by an integrator 4. This integrated signal is fed back to the oscillator 5 and a stable output signal having the phase synchronization with the oscillator 1 is obtained. Then the output signal of the oscillator 5 is divided into  $1/N_3$  pieces by a 3rd frequency divider 7 so that a desired output signal is produced. In

such conditions, the multiplication value of the division ratio between both dividers 2 and 7 is set constant for the simplification of the control. In addition, the division value is set as  $N3 > N1$  or  $N1 > N3$  so as to reduce the frequency variable range of the oscillator 5 in order to obtain a satisfactory phase noise characteristic.

COPYRIGHT: (C)1992,JPO&Japio